

SEMICONDUCTOR DEVICE AND PRODUCTION METHOD THEREOF

Patent Number: JP10078474
Publication date: 1998-03-24
Inventor(s): HIGUCHI TOSHIHIKO
Applicant(s): SEIKO EPSON CORP
Requested Patent: ☐ JP10078474
Application Number: JP19960234563 19960904
Priority Number(s):
IPC Classification: G01R31/26; G01R31/28; H01L21/66; H01L27/04; H01L21/822
EC Classification:
Equivalents:

Abstract

PROBLEM TO BE SOLVED: To enable evaluating a semiconductor device of high speed operation without inputting high frequency signal from outside at the moment of circuit function inspection of the semiconductor device in semiconductor wafer state.

SOLUTION: In a scribe region 1, formed is a ring oscillator 8 consisting of a series of inverter of odd number steps, a feedback circuit generating oscillation by connecting the output from the final step of the inverter to the input of initial inverter and a circuit outputting periodic signals via an inverter one step over the final step. The oscillation output of the periodic signal generator (ring oscillator) 8 is connected with wire to an electrode pad 5 for input to a circuit in chip region or an inside circuit. In this manner, a high speed operation test of a semiconductor device can be conducted in semiconductor wafer state. After the inspection, the connection wire between the periodic signal generator 8 and the chip circuit or the electrode pad can be cut with laser light.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-78474

(43) 公開日 平成10年(1998) 3月24日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
G 0 1 R	31/26		G 0 1 R 31/26	G
	31/28		H 0 1 L 21/66	F
H 0 1 L	21/66		G 0 1 R 31/28	M
	27/04		H 0 1 L 27/04	T
	21/822			
審査請求 未請求 請求項の数13 O L (全 6 頁)				

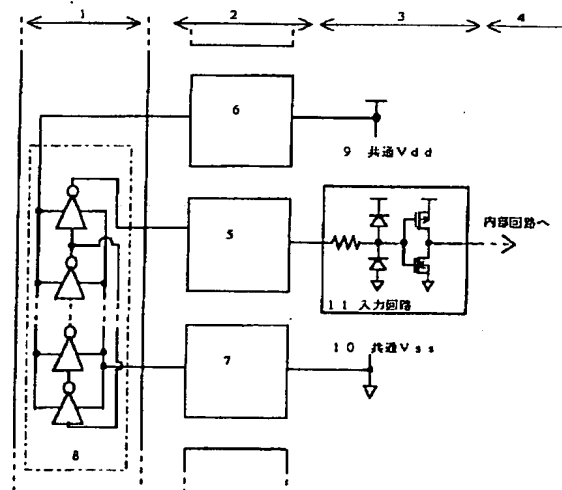
(21) 出願番号	特願平8-234563	(71) 出願人	000002369 セイコーエプソン株式会社 東京都新宿区西新宿2丁目4番1号
(22) 出願日	平成8年(1996) 9月4日	(72) 発明者	樋口 俊彦 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
		(74) 代理人	弁理士 鈴木 喜三郎 (外2名)

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】半導体ウエハー状態で半導体装置の回路動作検査をする際、外部から高周波の信号を入力しなくても高速動作の半導体装置の評価を可能とする。

【解決手段】スクライプ領域に、奇数段のインバーターの連続と、インバーターの最終段からの出力を最初のインバーターの入力に接続することで発振を起こさせる帰還回路と、最終段からさらに一段インバーターを介して周期信号を出力する回路よりなるリングオシレータ8を形成する。この周期信号発生器の発振出力は、チップ領域内の回路の入力用電極パッドまたは内部回路に配線接続される。こうして、半導体ウエハー状態で半導体装置の高速動作評価試験を実施することができる。検査後、スクライプ領域の周期信号発生器とチップ内回路または電極パッドとの接続配線をレーザー光により切断する。



【特許請求の範囲】

【請求項1】チップ周辺部に電源供給または信号入出力のための電極パッドを有し、該電極パッドに電氣的に接続された入出力回路セルと内部論理回路を有し、さらに半導体ウエハー上でチップ領域と各チップに切断するためのスクライブ領域を有する半導体装置において、該スクライブ領域にリングオシレータや帰還増幅型発振器などの周期信号発生器を有することを特徴とする半導体装置。

【請求項2】前記請求項1記載の周期信号発生器の電源は前記電源供給のための電極パッドと共通になっていることを特徴とする請求項1記載の半導体装置。

【請求項3】前記請求項1記載の周期信号発生器の発振出力端子は前記入出力回路セルの信号入力回路に直接に接続されていることを特徴とする請求項1記載の半導体装置。

【請求項4】前記請求項1記載の周期信号発生器の発振出力端子は、前記入出力回路セルの信号入力回路と電氣的に接続された電極パッドと接続されていることを特徴とする前記請求項1記載の半導体装置。

【請求項5】前記請求項1記載の周期信号発生器の発振出力端子は、前記内部論理回路に直接接続されていることを特徴とする前記請求項1記載の半導体装置。

【請求項6】前記請求項1記載の周期信号発生器の発振周波数は、前記内部論理回路の動作周波数と同程度であることを特徴とする請求項1記載の半導体装置。

【請求項7】チップ内部領域の半導体装置が少なくともMISトランジスタを有する半導体装置で、スクライブ領域に形成した周期信号発生器をMISトランジスタのリングオシレータで形成してあり、リングオシレータを形成するMISトランジスタのチャンネル長が内部論理回路を構成するMISトランジスタの最小のチャンネル長と同程度であることを特徴とする半導体装置。

【請求項8】前記請求項1記載または請求項7記載の半導体装置の内部論理回路としてDRAM（記憶保持動作が必要な随時書き込み読み出しメモリ）セルを有することを特徴とする前記請求項1記載または前記請求項7記載の半導体装置。

【請求項9】前記請求項1記載または請求項7記載の半導体装置の内部論理回路としてクロック同期型論理回路を有することを特徴とする前記請求項1記載または前記請求項7記載の半導体装置。

【請求項10】半導体ウエハー状態でチップ内部の半導体装置の動作測定、動作検査を行う半導体装置の製造方法において、少なくともスクライブ領域に形成した周期信号発生器よりパルス信号をチップ内部の半導体回路に入力しながら動作測定・検査する検査工程と、検査後スクライブ領域で半導体ウエハーを切断し、同時に周期信号発生器とチップ内部回路を切断する工程とからなることを特徴とする半導体装置の製造方法。

【請求項11】半導体ウエハー状態でチップ内部の半導体装置の動作測定、動作検査を行う半導体装置の製造方法において、少なくともスクライブ領域に形成した周期信号発生器よりパルス信号をチップ内部の半導体回路に入力しながら動作測定・検査する検査工程と、該周期信号発生器と内部回路の接続配線を切断する工程と、検査後スクライブ領域で半導体ウエハーを切断する工程とからなることを特徴とする半導体装置の製造方法。

【請求項12】半導体ウエハー状態でチップ内部の半導体装置の動作測定、動作検査を行う半導体装置の製造方法において、少なくともスクライブ領域に形成した周期信号発生器よりパルス信号をチップ内部の半導体回路に入力しながら動作測定・検査する検査工程と該周期信号発生器と電極パッドの接続配線を切断する工程と、検査後スクライブ領域で半導体ウエハーを切断する工程とからなることを特徴とする半導体装置の製造方法。

【請求項13】前記請求項11または前記請求項12記載の半導体装置の製造方法において、配線接続を切断する方法としてレーザー光により配線金属の溶解・除去により切断をおこなう方法の特徴とする前記請求項11または請求項12記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置における動作測定・検査のための周期信号発生器を有する回路装置に関し、また半導体装置の製造方法における半導体ウエハー状態の動作測定・検査工程とチップにするための切断工程に関するものである。

【0002】

【従来の技術】従来の半導体装置は、図4に示すように、チップ領域内にパッド引き出し領域2と入出力セル領域3と内部論理回路領域4などが形成され、パッド引き出し領域にある電極パッドとそれに電氣的に接続した入力回路、出力回路、電源回路が形成され、さらに各々の内部論理回路やメモリ・セルが接続されていた。

【0003】図4に示すような従来技術の半導体装置は、半導体装置製造工程の最後に半導体ウエハーの状態で作成した製品回路が電氣的に動作するかどうか、またその動作速度が規格通りか検査・測定するために外部から電源供給用の電極パッド6、7に電源を供給するとともに入力回路11が接続されている電極パッドに外部から電気信号を入力して出力回路と接続されている電極パッドに出力される電気信号を測定していた。この構造の半導体装置では外部から電気信号を入力する必要がある。このためウエハー内部で信号を発生させ半導体装置を評価する方法として、特開昭59-048935に述べられているようにスクライブ領域に形成した帰還回路により内部回路の出力と入力を接続しこれによって生じたリング発振器により伝搬遅延時間を評価した後、帰還回路を切断する製造方法が提案されていた。

【0004】ここで半導体テスターなど外部から電気信号印可する信号周波数すなわち半導体装置が動作する周波数は、半導体装置の高性能化に伴い高くなってきている。最近市場に出始めた0.35 μ mデザインの高性能論理回路LSIにおいては、動作周波数が200MHzから400MHzでパルス幅も数n秒程度のものになってきており、さらに今後は動作周波数が1GHzを越えるものまで出てくる見込みである。

【0005】

【発明が解決しようとする課題】しかし、前述の従来技術では、図4に示すような半導体ウエハー状態での電気的動作検査工程でたとえば半導体テスターなど外部から電気信号を印可する場合、高速・高周波数な電気信号を発生できる高価な半導体テスターが必要であり、テスターから半導体ウエハーまでの信号線やプローバー、プローブ針などはすべて高周波対応にする必要が出てきた。また1GHz程度の高速になると半導体ウエハー状態で外部から電気信号のパルスを印可することが難しくなってくる。このため本来ウエハー状態で製品の規格を満たす高速動作するかどうか検査できず、半導体装置をパッケージにした後、検査することで良品選別することになり、結果として半導体装置の製造コストが高くなる問題が発生してきた。また特開昭59-048935で述べられているような帰還回路をスクライプ領域に形成する技術によると、発振回路など信号発生回路をチップ領域内に配する必要がある製品となった半導体装置では使用しない回路をチップ内に搭載する必要がある。このためチップのサイズが大きくなったり発振回路が原因となりチップ内部でノイズが発生する問題もある。またDRAM（記憶保持動作が必要な随時書き込み読み出しメモリ）などその製品単体では帰還回路を付けても電気信号を発振しないため従来技術の適用ができない半導体装置もある。このため半導体装置の製造コストが高くなる課題と半導体ウエハー状態では高速動作の検査ができないという課題を有していた。

【0006】そこで、本発明はこのような問題を解決するためのもので、その目的とするところは、従来の半導体装置に比べチップサイズの増加や不要な電気回路をチップ領域に追加することなく、半導体ウエハー状態で半導体装置に高周波の電気信号を容易に印可し、半導体装置の電気的動作検査・測定できる半導体装置とその製造方法を提供するところにある。

【0007】

【課題を解決するための手段】本発明の半導体装置は、チップ周辺部に電源供給または信号入出力のための電極パッドを有し、該電極パッドに電気的に接続された入出力回路セルと内部論理回路を有し、さらに半導体ウエハー上でチップ領域と各チップに切断するためのスクライプ領域を有する半導体装置において、該スクライプ領域にリングオシレータや帰還増幅型発振器などの周期信号

発生器を有することを特徴とする。また前記周期信号発生器の電源は前記電源供給のための電極パッドと共通になっていることを特徴とし、前記周期信号発生器の発振出力端子は前記入出力回路セルの信号入力回路、または入出力回路セルの信号入力回路と電気的に接続された電極パッド、または前記内部論理回路に直接接続されていることを特徴とする。

【0008】さらに前記周期信号発生器の発振周波数は、前記内部論理回路の動作周波数と同程度であることを特徴とする。

【0009】チップ内部領域の半導体装置が少なくともMISトランジスタを有する半導体装置で、スクライプ領域に形成した周期信号発生器をMISトランジスタのリングオシレータで形成してあり、リングオシレータを形成するMISトランジスタのチャンネル長が内部論理回路を構成するMISトランジスタの最小のチャンネル長と同程度であることを特徴とする。

【0010】またこれらの半導体装置の内部論理回路としてDRAM（記憶保持動作が必要な随時書き込み読み出しメモリ）セルを有すること、または内部論理回路としてクロック同期型論理回路を有することを特徴とする。

【0011】また本発明の半導体装置の製造方法は、半導体ウエハー状態でチップ内部の半導体装置の動作測定、動作検査を行う半導体装置の製造方法において、少なくともスクライプ領域に形成した周期信号発生器よりパルス信号をチップ内部の半導体回路に入力しながら動作測定・検査する検査工程と、検査後スクライプ領域で半導体ウエハーを切断し、同時に周期信号発生器とチップ内部回路を切断する工程とからなることを特徴とする。

【0012】半導体ウエハー状態でチップ内部の半導体装置の動作測定、動作検査を行う半導体装置の製造方法において、少なくともスクライプ領域に形成した周期信号発生器よりパルス信号をチップ内部の半導体回路に入力しながら動作測定・検査する検査工程と、該周期信号発生器と内部回路の接続配線を切断する工程と、検査後スクライプ領域で半導体ウエハーを切断する工程とからなることを特徴とする。

【0013】さらに半導体ウエハー状態でチップ内部の半導体装置の動作測定、動作検査を行う半導体装置の製造方法において、少なくともスクライプ領域に形成した周期信号発生器よりパルス信号をチップ内部の半導体回路に入力しながら動作測定・検査する検査工程と該周期信号発生器と電極パッドの接続配線を切断する工程と、検査後スクライプ領域で半導体ウエハーを切断する工程とからなることを特徴とする。これらの半導体装置の製造方法において、配線接続を切断する方法としてレーザー光により配線金属の溶解・除去により切断をおこなう方法を特徴とする。

【0014】

【発明の実施の形態】以下、本発明の半導体装置およびその製造方法について実施の形態の一例を説明する。

【0015】図1は、本発明の実施の形態の一例を示したものである。図1は半導体ウエハーの状態の半導体装置の主要部でスクライブ領域1とチップ領域の繰返しで半導体ウエハー上に半導体装置が形成されている。スクライブ領域1はウエハー状態での検査工程の後、半導体ウエハーを切断するための領域である。ここには半導体装置を形成するためのフォトリソ工程で露光合わせを行うための各種マークや各製造工程や検査工程で寸法測定、膜厚測定、電気特性等を測定するための各種パターンなどを配置する場合がある。またチップ領域は一般に電極パッド配置領域2と入出力セル領域3と内部論理回路領域4などより構成され、この領域が半導体ウエハー切断後、半導体チップとなり各種の電気回路に組み込まれることにより半導体装置として動作する。本発明の半導体装置はスクライブ領域1に周期信号発生器を配置したものである。図1はMOS型半導体装置を例として記述したものでスクライブ領域に形成した奇数段のインバーターの連続とインバーターの最終段からの出力を最初のインバーターの入力に接続することで発振を起こさせる帰還回路と最終段からさらに一段インバーターを介して周期信号を出力する回路よりなるリングオシレータ8を示したものである。リングオシレータのインバーター数はチップ内部の論理回路の動作周波数にあわせて段数を設定することで半導体装置の高速動作の検査をする上で最適な発振周波数を得ることができる。図1ではさらにリングオシレータの電源をそれぞれチップの電源用電極パッド6、7に接続し、半導体ウエハー状態での電氣的回路動作検査の際、半導体テスターより供給される電源で発振を開始する。リングオシレータの発振出力はチップ内半導体装置の所望の入力電極パッド5に接続されており高周波数の電気信号を容易に電極パッドに印可できる。この状態で半導体装置よりの出力電極パッドの電気信号を半導体テスターで測定することにより半導体ウエハー状態で半導体装置の高速動作評価試験を実施することができる。このため半導体ウエハーを切断したチップをパッケージあるいは他の電気回路に組み込まなくても高速動作について不良のチップを選別することができる。ここで図1ではリングオシレータよりの発振信号を電極パッドに接続したが、電極パッドの寄生容量のため高周波の電気信号がチップ内部の内部論理回路に到達しにくい場合は、入出力回路セルの入力回路11に直接リングオシレータの発振信号を接続してもよいし、さらに内部論理回路に直接信号入力してもかまわない。また図1ではMOS型半導体装置でリングオシレータをスクライブ領域に配置した場合を例として示しているが、周期信号発生器にオペアンプの帰還発振器を用いてもかまわないし、容量・抵抗結合型の発振器などを用いてもかま

わない。また高速動作の半導体装置としてMOS型トランジスタ等よりなる回路を有する半導体装置の他にバイポーラ半導体装置やGaAs等の化合物半導体装置などでもよい事はいうまでもない。

【0016】本発明の半導体装置の構造が有効な例としては、高速動作の論理回路をチップ内に有する半導体装置であり、特に外部からのクロックパルスで一斉に内部論理回路の状態を切り替える同期型論理回路やシフトレジスタがある。また内部論理回路として記憶動作が可能なセルを有する場合があり、特に外部よりのクロックパルスで記憶保持動作を行うDRAM（記憶保持動作が必要な随時書き込み読み出しメモリ）セルを有する場合など特に有効である。

【0017】またチップ内の論理回路や入出力回路セルの動作速度とスクライブに形成した周期信号発振器の発振周波数が対応取れるように周期信号発振器を構成する能動素子の性能をチップ内の最高速度で動作する能動素子の性能を同等にしておくとか高周波信号が素子の限界近くとなるため本願の半導体装置の構造の一例として特に有効である。たとえばMOS型トランジスタを主な能動素子とする半導体装置の場合、チップ内部のMOS型トランジスタの最小チャンネル長とリングオシレータを構成するインバータのMOSトランジスタのチャンネル長を同等にしておくとか発振する周波数とチップ内論理回路の動作速度が同等となり、半導体ウエハー状態での回路動作検査に特に有効である。

【0018】本半導体装置の製造方法の一例としては、上述の図1のような半導体ウエハーの状態でチップ内部の回路の電氣的動作検査を行ない良品・不良品の選別を行った後、ダイシング・カッターによりスクライブ領域に沿って各チップを切り離す。その際、図2に示すようにスクライブ領域に形成されていた周期信号発生器は切断され、チップ内回路または電極パッドに結線されていた周期信号発生器はチップ切断面12にて分離される。このためこの後はチップ内の回路のみで半導体装置が動作するようになる。

【0019】このように半導体ウエハーの切断により回路を切り離すとチップ切断面で切断された配線とチップ基板の間にリーク電流が生じ、チップ内回路が動作しなくなる場合がある。これは、スクライブ領域でダイシングする際、スクライブ領域の金属配線が引きちぎられその金属配線の一部がダイシング断面の半導体基板部分と接するためである。これを防止するために本発明の半導体装置の製造方法の第2例として半導体ウエハー状態でチップ内回路の動作検査を行った後、図3に示すようにスクライブ領域の周期信号発生器とチップ内回路または電極パッドとの接続配線を切断する工程を行う。配線を切断する例としてはレーザー光による溶断を行う方法が挙げられる。この方法によればメモリやロジック回路の不良回路のつなぎ換え（リペア）工程において、製品チ

チップ内の不良セルや不良回路の切断と同時にスクライブ領域から製品周辺パッドへの配線途中の切断を行える長所がある。切断する箇所はチップ領域内でスクライブ領域中に形成した周期信号発生器と電極パッド領域との間が望ましい。これはスクライブ領域で配線金属が半導体基板と接触しても電氣的に切断しておくことでリークを起こさないようにするためであり、また切断箇所は外部よりの水分などの侵入に弱くなる場合があるため、より周辺部で切断するのが望ましいからである。またレーザー光による溶断以外の方法としては、電流を電極パッドと接続配線の間に流すことで溶断する方法や針などを用いる物理的な方法により切断する方法も挙げられる。電流を流すことで溶断する場合は、チップ周辺部の溶断したい部分の配線幅のみ他の部分の配線幅より狭くしておくことで、所望の部分で溶断させることができる。

【0020】この製造方法によると図3に示すように半導体ウエハの切断面12で接続配線が短絡やリークを起こしたとしても配線切断部分13で電氣的に切断されているためチップ内回路が動作不良を起こすことはない。

【0021】

【発明の効果】以上に示したように、本発明の半導体装置によれば、半導体装置の集積度を損なわずに、あるいはチップ面積を大きくすることなく高速動作の半導体装置の動作試験・測定を半導体ウエハ状態で行うことができる。またそれにより半導体装置の良品と不良品の選別が行える。

【0022】さらに高速動作する半導体の電氣的動作測定を高価な半導体テスターを用いなくても行うことがで

きる。これらにより半導体装置の製造コストの低減も行えるという効果を有する。

【図面の簡単な説明】

【図1】本発明の半導体装置の構造をひとつの実施した例として半導体ウエハ状態の主要部を示した上面図である。

【図2】本発明の半導体装置の構造をひとつの実施した例としてチップを切断した状態の主要部を示した上面図である。

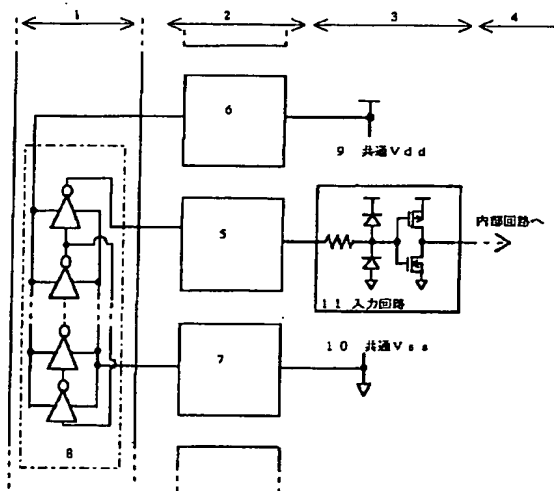
【図3】本発明の半導体装置の構造を実施例として周期信号発生器からの配線を切断した状態でチップを切断した状態の主要部を示した上面図である。

【図4】従来技術の半導体装置の構造を示した上面図である。

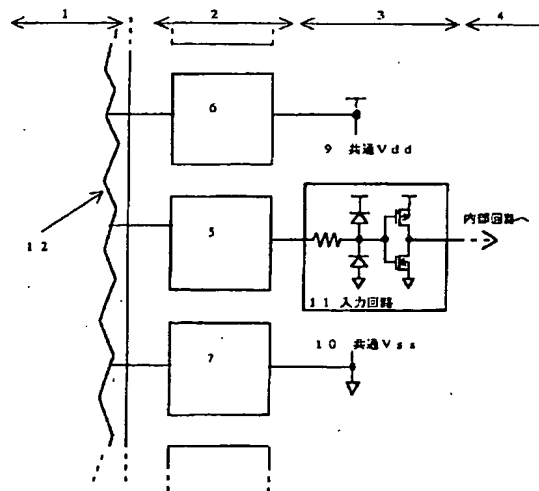
【符号の説明】

- 1 …… スクライブ領域
- 2 …… 電極パッド配置領域
- 3 …… 入出力回路セル領域
- 4 …… 内部論理回路
- 5 …… 信号入力用電極パッド
- 6 …… 電源 (V_{dd}) 用電極パッド
- 7 …… 電源 (V_{ss}) 用電極パッド
- 8 …… 周期信号発生器 (リングオシレータ)
- 9 …… 共通電源 (V_{dd})
- 10 …… 共通電源 (V_{ss})
- 11 …… 入力回路
- 12 …… スクライブ切断面
- 13 …… 回路切断部分

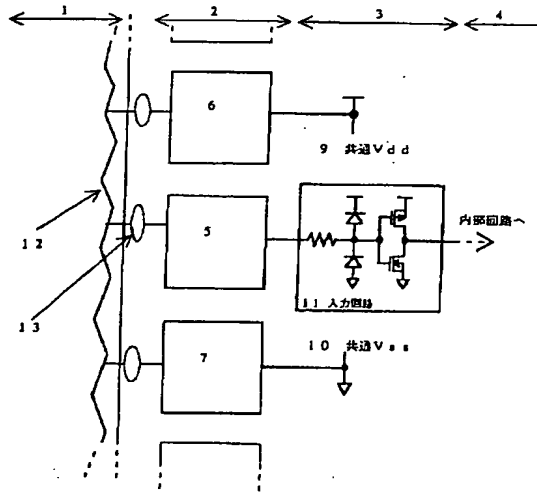
【図1】



【図2】



【図3】



【図4】

